



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2816

Examiner: Unassigned

In Re PATENT APPLICATION Of:

Applicants : Hiroki GOKO

Serial No. : 10/649,931

Filed : August 28, 2003

For : SEMICONDUCTOR INTEGRATED
CIRCUIT

Attorney Ref. : OKI 369

)
)
)
)
) **CLAIM FOR PRIORITY**
)
)
)
)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-257572, filed September 3, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

December 10, 2003

Date

Steven M. Rabin (Reg. No. 29,102)

RABIN & BERDO, P.C.

(Customer No. 23995)

Telephone: (202) 371-8976

Telefax: (202) 408-0924

SMR:tlc

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 3日

出 願 番 号
Application Number:

特願2002-257572

[ST.10/C]:

[JP 2002-257572]

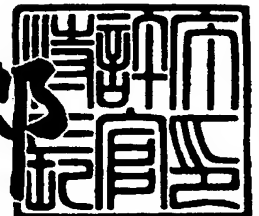
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105327

【書類名】 特許願

【整理番号】 KA003861

【提出日】 平成14年 9月 3日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 郷古 博紀

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100086807

 【弁理士】

 【氏名又は名称】 柿本 恭成

【手数料の表示】

 【予納台帳番号】 007412

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 所定の論理処理を行う複数の組み合わせ回路及びその間のデータ転送を行う複数のフリップフロップを有し予め回路パターンとして登録されたハードマクロと、クロック信号に同期して入力データを取り込む入力フリップフロップと、前記クロック信号に同期して出力データを出力する出力フリップフロップと、前記入力フリップフロップに取り込まれた入力データを前記ハードマクロに与える第 1 のデータバスと、前記ハードマクロから出力されるデータを前記出力フリップフロップに与える第 2 のデータバスとを備えた半導体集積回路において、

前記ハードマクロは、

前記第 1 のデータバスから与えられるデータを前記クロック信号よりも遅れたタイミングで保持する第 1 のフリップフロップと、

前記複数の組み合わせ回路間のデータ転送を前記クロック信号に同期して行う第 2 のフリップフロップと、

前記第 2 のデータバスに出力するデータを前記クロック信号よりも進んだタイミングで保持して出力する第 3 のフリップフロップとを、

有することを特徴とする半導体集積回路。

【請求項 2】 前記半導体集積回路は、外部から与えられる外部クロック信号を遅延させて前記入力フリップフロップ及び出力フリップフロップに与えるクロック信号を生成する遅延素子を有し、

前記ハードマクロは、前記外部クロック信号のタイミングを調整して前記第 1 乃至第 3 の各フリップフロップに供給する調整手段を有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記半導体集積回路は、前記第 1 乃至第 3 の各フリップフロップに与えるクロック信号をそれぞれ外部から入力するクロック端子と、前記各クロック端子に入力されたクロック信号を前記第 1 乃至第 3 の各フリップフロップに伝達するクロック配線とを備えたことを特徴とする請求項 1 記載の半導体集

積回路。

【請求項 4】 タイミング信号に同期してデータの書き込み及び読み出しを行う記憶部と、

クロック信号に同期して入力データを取り込む入力フリップフロップと、

前記クロック信号に同期して出力データを出力する出力フリップフロップと、

前記入力フリップフロップに取り込まれた入力データを前記記憶部に与える第 1 のデータパスと、

前記記憶部から読み出されるデータを前記出力フリップフロップに与える第 2 のデータパスと、

前記記憶部にデータを書き込む時には、前記クロック信号よりもタイミングが遅れたタイミング信号を該記憶部に与え、該記憶部からデータを読み出す時には、該クロック信号よりもタイミングが進んだタイミング信号を該記憶部に与えるタイミング供給手段とを、

備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、クロック信号に同期してデータ処理を行う半導体集積回路に関するものである。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

【特許文献 1】

【 0 0 0 5 】

特開 2 0 0 0 - 1 1 3 0 2 5 号公報

【 0 0 0 6 】

半導体集積回路の大規模化に伴い、その設計の省力化のために、回路パターンとして開発済みの機能ブロック（ハードマクロ）を再利用することが行われている。

④

る。特に、民生、情報、通信分野のシステム・メーカでは、自社開発のハードマクロだけでなく他社で開発したハードマクロをも利用可能とするために、共通のインタフェース仕様の規約を設けている。この規約に従ったハードマクロは、I P (Intellectual Property) または V C (Virtual Component) と呼ばれて登録され、この I P 或いは V C を利用することにより、システム L S I の開発において異なる供給元からのハードマクロ混載の実現が可能となっている。ハードマクロの例としては、ディジタル信号プロセッサ、アナログ・ディジタル変換器、各種のメモリ等がある。

【 0 0 0 7 】

前記特許文献 1 には、このようなハードマクロの構成と作成方法が記載されている。

【 0 0 0 8 】

このハードマクロでは、そのデータ入力端と入力側のフリップフロップ（以下、「F F」という）のデータ入力端との間、及び出力側の F F のデータ出力端とこのハードマクロの出力端の間を、それぞれディレイセルを介して接続している。そして、データ入力端から入力側の F F に与えられるデータのタイミングと、出力側の F F からデータ出力端に出力されるデータのタイミングを、クロック信号のタイミングに合わせるように、これらのディレイセルの遅延時間が設定されている。これにより、ハードマクロの処理結果が、クロック信号に同期して順次後段のハードマクロ等に与えられ、確実な処理が行われるようになっている。

【 0 0 0 9 】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、従来の半導体集積回路では、次のような課題があった。

【 0 0 1 1 】

ハードマクロ内のクロック信号が、同位相で各 F F に与えられるようになっていたため、内部回路に許される最大処理時間は、クロック信号の 1 周期分から F F のセットアップ時間を差し引いた値に固定される。このため、ハードマクロと外部の F F との間のデータパス等の遅延が大きい場合、タイミング条件を満たす

ことができなくなり、クロック信号の周期を延長する必要が生じ、処理速度が低下するおそれがあった。また、大部分の内部回路の処理時間が短くても、一部の内部回路の処理時間が長い場合、クロック信号の周期をこの処理時間の長い内部回路の処理時間に合わせる必要があり、処理時間の短縮が困難であった。

【 0 0 1 2 】

【課題を解決するための手段】

【 0 0 1 3 】

前記課題を解決するために、本発明の内の第 1 の発明は、所定の論理処理を行う複数の組み合わせ回路及びその間のデータ転送を行う複数の F F を有し予め回路パターンとして登録されたハードマクロと、クロック信号に同期して入力データを取り込む入力 F F と、前記クロック信号に同期して出力データを出力する出力 F F と、前記入力 F F に取り込まれた入力データを前記ハードマクロに与える第 1 のデータパスと、前記ハードマクロから出力されるデータを前記出力 F F に与える第 2 のデータパスとを備えた半導体集積回路において、ハードマクロを次のように構成している。

【 0 0 1 4 】

即ち、このハードマクロは、前記第 1 のデータパスから与えられるデータを前記クロック信号よりも遅れたタイミングで保持する第 1 の F F と、前記複数の組み合わせ回路間のデータ転送を前記クロック信号に同期して行う第 2 の F F と、前記第 2 のデータパスに出力するデータを前記クロック信号よりも進んだタイミングで保持して出力する第 3 の F F とを有している。

【 0 0 1 5 】

第 2 の発明は、第 1 の発明の半導体集積回路に、外部から与えられる外部クロック信号を遅延させて前記入力 F F 及び出力 F F に与えるクロック信号を生成する遅延素子を設け、前記ハードマクロには、前記外部クロック信号のタイミングを調整して前記第 1 乃至第 3 の各 F F に供給する調整手段を設けている。

【 0 0 1 6 】

第 3 の発明は、第 1 の発明の半導体集積回路に、前記第 1 乃至第 3 の各 F F に与えるクロック信号をそれぞれ外部から入力するクロック端子と、前記クロック

端子に入力されたクロック信号を前記第 1 乃至第 3 の各 F F に伝達するクロック配線とを備えている。

【 0 0 1 7 】

第 1 ～第 3 の発明によれば、以上のように半導体集積回路を構成したので、次のような作用が行われる。

【 0 0 1 8 】

クロック信号に同期して入力 F F に取り込まれた入力データは、第 1 のデータパスを介してハードマクロに与えられ、このハードマクロの第 1 の F F に、このクロック信号よりも遅れたタイミングで保持される。従って、クロック信号の遅延時間だけ、第 1 のデータパスにおける時間制約が緩和される。

【 0 0 1 9 】

一方、ハードマクロの第 3 の F F には、第 2 のデータパスに出力するデータがクロック信号よりも進んだタイミングで保持される。そして、第 2 のデータパスに出力されたデータは、クロック信号に同期して出力 F F に取り込まれ、出力データとして出力される。従って、クロック信号の進み時間だけ、第 2 のデータパスにおける時間制約が緩和される。

【 0 0 2 0 】

第 4 の発明は、半導体集積回路において、タイミング信号に同期してデータの書き込み及び読み出しを行う記憶部と、クロック信号に同期して入力データを取り込む入力 F F と、前記クロック信号に同期して出力データを出力する出力 F F と、前記入力 F F に取り込まれた入力データを前記記憶部に与える第 1 のデータパスと、前記記憶部から読み出されるデータを前記出力 F F に与える第 2 のデータパスと、前記記憶部にデータを書き込む時には、前記クロック信号よりもタイミングが遅れたタイミング信号を該記憶部に与え、該記憶部からデータを読み出す時には、該クロック信号よりもタイミングが進んだタイミング信号を該記憶部に与えるタイミング供給手段とを備えている。

【 0 0 2 1 】

第 4 の発明によれば、次のような作用が行われる。

【 0 0 2 2 】

クロック信号に同期して入力 F F に取り込まれた入力データは、第 1 のデータパスを介して記憶部に与えられ、このクロック信号よりも遅れたタイミング信号に同期してこの記憶部に書き込まれる。従って、タイミング信号の遅延時間だけ、第 1 のデータパスにおける時間制約が緩和される。

【 0 0 2 3 】

一方、記憶部に記憶されたデータは、クロック信号よりも進んだタイミング信号で読み出され、第 2 のデータパスに出力される。第 2 のデータパスに出力されたデータは、クロック信号に同期して出力 F F に取り込まれ、出力データとして出力される。従って、タイミング信号の進み時間だけ、第 2 のデータパスにおける時間制約が緩和される。

【 0 0 2 4 】

【発明の実施の形態】

【 0 0 2 5 】

(第 1 の実施形態)

【 0 0 2 6 】

図 1 (a) , (b) は、本発明の第 1 の実施形態を示す半導体集積回路の説明図で、同図 (a) は概略の構成図、及び同図 (b) は動作タイミング図である。

【 0 0 2 7 】

この半導体集積回路は、図 1 (a) に示すように、ハードマクロ 1 0 A と、このハードマクロ 1 0 A の入力側に設けられた F F 群 1 及びデータパスを構成する組み合わせ回路 2 と、このハードマクロ 1 0 A の出力側に設けられてデータパスを構成する組み合わせ回路 3 及び F F 群 4 を備えている。

【 0 0 2 8 】

ハードマクロ 1 0 A は、データパスを構成する複数の組み合わせ回路 1 1 ~ 1 7 と、これらの組み合わせ回路 1 1 ~ 1 7 間を接続する F F 群 1 2 ~ 1 6 と、ノード 1 8 a , 1 8 b , 1 8 c を有している。ノード 1 8 a にはクロック配線 1 9 a を介して F F 群 1 2 が、ノード 1 8 b にはクロック配線 1 9 b を介して F F 群 1 4 が、ノード 1 8 c にはクロック配線 1 9 c を介して F F 群 1 6 が、それぞれ接続されている。

【 0 0 2 9 】

ハードマクロ 1 0 A の先頭の組み合わせ回路 1 1 の入力側は、組み合わせ回路 2 の出力側に接続され、後尾の組み合わせ回路 1 7 の出力側が、組み合わせ回路 4 の入力側に接続されている。

【 0 0 3 0 】

また、ハードマクロ 1 0 A のノード 1 8 a , 1 8 c には、それぞれクロック端子 5 a , 5 c からクロック信号 C K 1 , C K 3 を供給するためのクロック配線 6 a , 6 c が設けられている。更に、F F 群 1 , 4 とハードマクロ 1 0 A のノード 1 8 b には、クロック端子 5 b からクロック信号 C K 2 を同じ位相で供給するためのクロック配線 6 b が設けられている。

【 0 0 3 1 】

次に、図 1 (b) を参照しつつ、図 1 (a) の動作を説明する。

【 0 0 3 2 】

図 1 (b) に示すように、クロック端子 5 a には、クロック端子 5 b に与えられるクロック信号 C K 2 よりも若干遅れたクロック信号 C K 1 が与えられる。一方、クロック端子 5 c には、クロック信号 C K 2 よりも若干進んだクロック信号 C K 3 が与えられる。

【 0 0 3 3 】

F F 群 1 において、クロック信号 C K 2 の立ち上がりに同期して出力されたデータ D 1 は、組み合わせ回路 2 , 1 1 における処理（遅延）時間の後、F F 群 1 2 の入力側にデータ D 1 1 として到達する。F F 群 1 2 では、入力側に到達したデータ D 1 1 がクロック信号 C K 1 の立ち上がりに同期して保持され、データ D 1 2 として出力される。従って、F F 群 1 ~ F F 群 1 2 間の最大許容遅延時間は、クロック信号 C K 2 の周期を T 、クロック信号 C K 1 の遅延時間を d_1 、及び F F 1 2 群のセットアップタイムを t_s とすると、 $T + t_d - t_s$ となる。

【 0 0 3 4 】

同様に、F F 群 1 6 において、クロック信号 C K 3 の立ち上がりに同期して出力されたデータ D 1 6 は、組み合わせ回路 1 7 , 3 における処理（遅延）時間の後、F F 群 4 の入力側にデータ D 3 として到達する。F F 群 4 では、入力側に到

達したデータD3が、クロック信号CK2の立ち上がりに同期して取り込まれる。従って、FF群16～FF群4間の最大許容遅延時間は、クロック信号CK2の周期をT、クロック信号CK3の進み時間をt1、及びFF4群のセットアップタイムをtsとすると、 $T+t1-ts$ となる。

【0035】

以上のように、この第1の実施形態の半導体集積回路は、ハードマクロ10A内のFF群12～16に、異なるクロック信号CK1～CK3を供給するためのクロック端子5a～5cと、これに対応するクロック配線6a～6cを有している。従って、データD1、D16を出力するFF群1、16よりも、データD11、D3を取り込むFF群12、4に供給されるクロック信号の方を遅らせることができる。これにより、データ転送に許される時間を長くすることが可能になり、同じクロック周波数でもタイミング条件が満たされ、処理時間の短縮が可能になるという利点がある。

【0036】

(第2の実施形態)

【0037】

図2は、本発明の第2の実施形態を示す半導体集積回路の概略の構成図で、図1中の要素と共通の要素には共通の符号が付されている。

【0038】

この半導体集積回路は、ハードマクロ10Bと、このハードマクロ10Bの入力側に設けられたFF群1及び組み合わせ回路2と、このハードマクロ10Bの出力側に設けられた組み合わせ回路3及びFF群4を備えている。

【0039】

ハードマクロ10Bは、複数の組み合わせ回路11～17と、これらの組み合わせ回路11～17間を接続するFF群12～16と、クロック信号CLKが与えられるノード18と、このノード18からFF群12～16にクロック信号を供給するためのクロック配線19を有している。クロック配線19からタイミングの調整手段を構成する遅延素子21、22で遅延されたクロック信号CLKが、それぞれクロック信号CK1、CK2としてFF群12、14に与えられるよ

うになっている。また、クロック配線 1 9 上のクロック信号 C L K は、クロック信号 C K 3 として F F 群 1 6 に与えられるようになっている。

【 0 0 4 0 】

一方、F F 群 1, 4 には、クロック端子 5 のクロック信号 C L K が遅延素子 7 a, 7 b を介して、F F 群 1 4 と同じ位相のクロック信号 C K 2 が供給されるようになっている。なお、遅延素子 2 2, 7 a, 7 b は、例えばインバータを偶数个連続接続したもので、これらの遅延素子 2 2, 7 a, 7 b の遅延量は同程度に設定され、遅延素子 2 1 の遅延量はこれよりも大きく設定されている。

【 0 0 4 1 】

この半導体集積回路の動作は、ハードマクロ 1 0 B 内のクロック信号 C K 1, C K 2 が、遅延素子 2 1, 2 2 によって生成されるほかは、図 1 の半導体集積回路の動作と同様である。

【 0 0 4 2 】

以上のように、この第 2 の実施形態の半導体集積回路は、ハードマクロ 1 0 B 内に、異なるクロック信号 C K 1 ~ C K 3 を生成するための遅延素子 2 1, 2 2 を有している。これにより、第 1 の実施形態の利点に加えて、ハードマクロ 1 0 B の内部で、このハードマクロ 1 0 B の機能に合わせて適切なクロック信号 C K 1 ~ C K 3 を生成することができるので、精度の高い動作が可能になるという利点がある。

【 0 0 4 3 】

(第 3 の実施形態)

【 0 0 4 4 】

図 3 は、本発明の第 3 の実施形態を示す半導体集積回路の概略の構成図で、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 4 5 】

この半導体集積回路は、図 1 中のハードマクロ 1 0 A に代えて、若干機能の異なるハードマクロ 1 0 C を設けている。即ち、ハードマクロ 1 0 C 内の F F 群 1 2 B, 1 6 B には、ノード 1 8 a ~ 1 8 c からクロック配線 1 9 a ~ 1 9 c を介して 3 種類のクロック信号 C K 1 ~ C K 3 が供給され、個々の F F に対してクロ

ック信号CK1～CK3の内の適切なクロック信号が個別に与えられるようになっている。その他の構成は、図1と同様である。

【0046】

この半導体集積回路の動作は、基本的には図1の半導体集積回路の動作と同じである。但し、FF群12B, 16B内の各FFには、クロック信号CK1～CK3の内の適切なクロック信号が与えられるので、その信号の遅延時間に応じた最適なタイミングで動作が行われる。

【0047】

以上のように、この第3の実施形態の半導体集積回路は、ハードマクロ10C内のFF群12B, 16Bにタイミングの異なる複数のクロック信号CK1～CK3を与え、これらのFF群12B, 16B内の個々のFFに対してそれぞれ適切なタイミングのクロック信号を供給するようにしている。これにより、第1の実施形態の利点に加えて、ハードマクロ10Cの内部で、個々のFFに対して適切なタイミングのクロック信号が与えられ、更に、高い精度で高速処理を行うことができるという利点がある。

【0048】

(第4の実施形態)

【0049】

図4は、本発明の第4の実施形態を示す半導体集積回路の概略の構成図で、内蔵された同期型のRAM(Random Access Memory)に供給するクロック信号のタイミングを制御することによって、処理(遅延)時間の制約の緩和と処理時間の短縮を図るものである。

【0050】

この半導体集積回路は、FF31, 35、組み合わせ回路(LOGIC)32, 34、同期型のRAM33、クロック端子36、遅延素子37a, 37b, 38、及びタイミング供給手段を構成するセレクタ(SEL)39を備えている。なお、遅延素子37a, 37bの遅延時間はほぼ同一に設定され、遅延素子38の遅延時間はこれよりも長く設定されている。

【0051】

FF 3 1 は、クロック信号 CK 2 に同期して入力データを保持するもので、クロック端子 3 6 に与えられたクロック信号 CLK が遅延素子 3 7 a で遅延され、クロック信号 CK 2 として供給されるようになっている。FF 3 1 の出力側には組み合わせ回路 3 2 が接続され、この組み合わせ回路 3 2 の出力側が、RAM 3 3 の入力端子 DI に接続されている。

【 0 0 5 2 】

RAM 3 3 は、クロック端子 C に与えられるクロック信号に同期してデータの読み書きを行うもので、アドレス端子 A にはアクセス対象のアドレス信号 AD が、制御端子 W, E には書き込み制御信号 WE 及び読み出し制御信号 RE が、それぞれ与えられるようになっている。RAM 3 3 の出力端子 DO には、組み合わせ回路 3 4 が接続され、この組み合わせ回路 3 4 の出力側に、FF 3 5 が接続されている。

【 0 0 5 3 】

FF 3 5 は、クロック信号 CK 2 に同期して組み合わせ回路 3 4 の出力データを保持するもので、クロック端子 3 6 に与えられたクロック信号 CLK が遅延素子 3 7 b で遅延され、クロック信号 CK 2 として供給されるようになっている。

【 0 0 5 4 】

更に、クロック端子 3 6 に与えられたクロック信号 CLK は、遅延素子 3 8 で遅延されてクロック信号 CK 1 としてセレクタ 3 9 の第 1 の入力側に与えられると共に、そのままクロック信号 CK 3 としてセレクタ 3 9 の第 2 の入力側に与えられている。セレクタ 3 9 は、読み出し制御信号 RE が “H” (イネーブル) の時に第 2 の入力側が選択され、“L” (ディセーブル) の時に第 1 の入力側が選択されるものである。セレクタ 3 9 の出力側は、RAM 3 3 のクロック端子 C に接続されている。

【 0 0 5 5 】

次に動作を説明する。

【 0 0 5 6 】

RAM 3 3 にデータを書き込む時、読み出し制御信号 RE は “L” となり、セレクタ 3 9 によってクロック信号 CK 1 が選択され、RAM 3 3 のクロック端子

Cに与えられる。一方、組み合わせ回路32の入力側には、クロック信号CK2に同期してFF31に保持された入力データが与えられる。クロック信号CK1は、クロック信号CK2よりも遅延量が大きいのので、組み合わせ回路32に許容される遅延（処理）時間は、クロック信号CLKの周期よりも長くなる。

【0057】

RAM33からデータを読み出す時、読み出し制御信号REは“H”となり、セクタ39によってクロック信号CK3が選択され、RAM33のクロック端子Cに与えられる。一方、組み合わせ回路34の出力側のFF35には、クロック信号CK2が与えられる。クロック信号CK2は、クロック信号CK3よりも遅延量が大きいのので、組み合わせ回路34に許容される遅延（処理）時間は、クロック信号CLKの周期よりも長くなる。

【0058】

以上のように、この第4の実施形態の半導体集積回路は、RAM33にデータを書き込む時に、FF31、35に供給されているクロック信号CK2よりも遅延の大きなクロック信号CK1を使用している。また、RAM33からデータを読み出す時には、FF31、35に供給されているクロック信号CK2よりも遅延の小さなクロック信号CK3を使用している。これにより、組み合わせ回路32、34に許容される遅延（処理）時間が大きくなり、確実な動作が可能になる。また、クロック速度を上昇して動作速度を向上させることができる。

【0059】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0060】

(a) 3種類のクロック信号CK1～CK3を用いてタイミング調整を行うようにしているが、更に遅延時間の異なる多数のクロック信号を用いても良い。

【0061】

(b) 組み合わせ回路やFF群の数は、例示したもの限定されない。適用する半導体集積回路の機能や規模に応じて任意に設定することができる。

【0062】

【発明の効果】

【0063】

以上詳細に説明したように、第1の発明によれば、ハードマクロは、第1のデータパスから与えられるデータをクロック信号よりも遅れたタイミングで保持する第1のFFと、出力するデータを該クロック信号よりも進んだタイミングで保持する第3のFFを有している。これにより、クロック信号とのタイミングの差の分だけ、入出力側のデータパス等における遅延時間の制約が緩和され、処理時間の短縮が可能になる。

【0064】

第2の発明によれば、外部クロックを遅延させて入出力FF用のクロック信号を生成する遅延素子と、ハードマクロ内の第1～第3の各FFに供給するクロック信号のタイミングを調整する調整手段を有している。これにより、外部でクロック信号のタイミング調整をする必要がなくなり、ハードマクロを適切なタイミングで動作させることができる。

【0065】

第3の発明によれば、ハードマクロ内の第1～第3のFFに与えるクロック信号を外部から入力するためのクロック端子とクロック配線を有している。これにより、任意のタイミングのクロック信号を自由に与えることができ、全体的な最適な時間調整を行うことができる。

【0066】

第4の発明によれば、記憶部にデータを書き込む時には、クロック信号よりもタイミングが遅れたタイミング信号を与え、該記憶部からデータを読み出す時には、該クロック信号よりもタイミングが進んだタイミング信号を与えるタイミング供給手段を有している。これにより、書き込み時には、タイミング信号の遅延時間だけ、第1のデータパスの遅延時間の制約が緩和され、読み出し時には、タイミング信号の進み時間だけ、第2のデータパスの遅延時間の制約が緩和される。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施形態を示す半導体集積回路の説明図である。

【図 2】

本発明の第 2 の実施形態を示す半導体集積回路の概略の構成図である。

【図 3】

本発明の第 3 の実施形態を示す半導体集積回路の概略の構成図である。

【図 4】

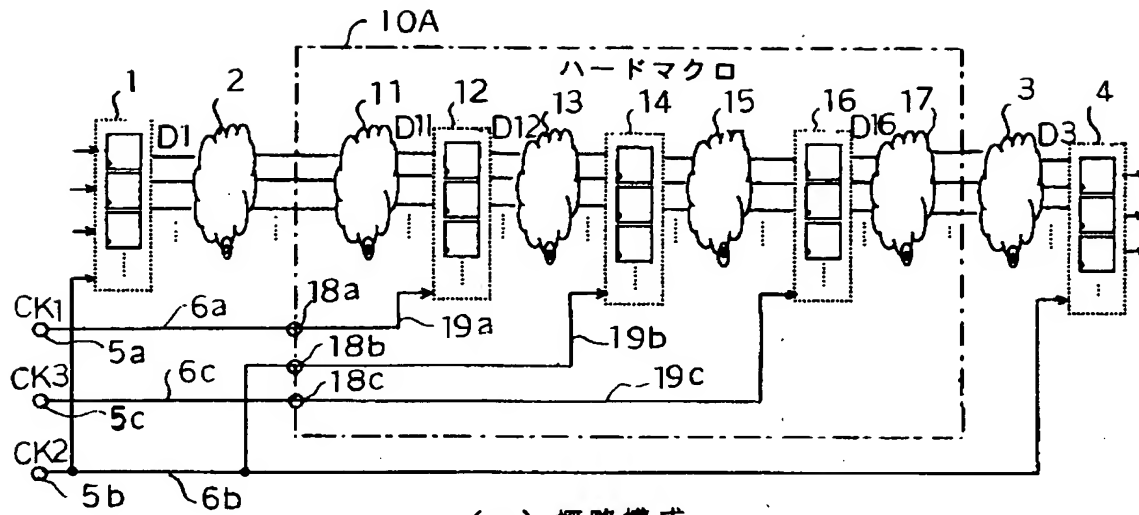
本発明の第 4 の実施形態を示す半導体集積回路の概略の構成図である。

【符号の説明】

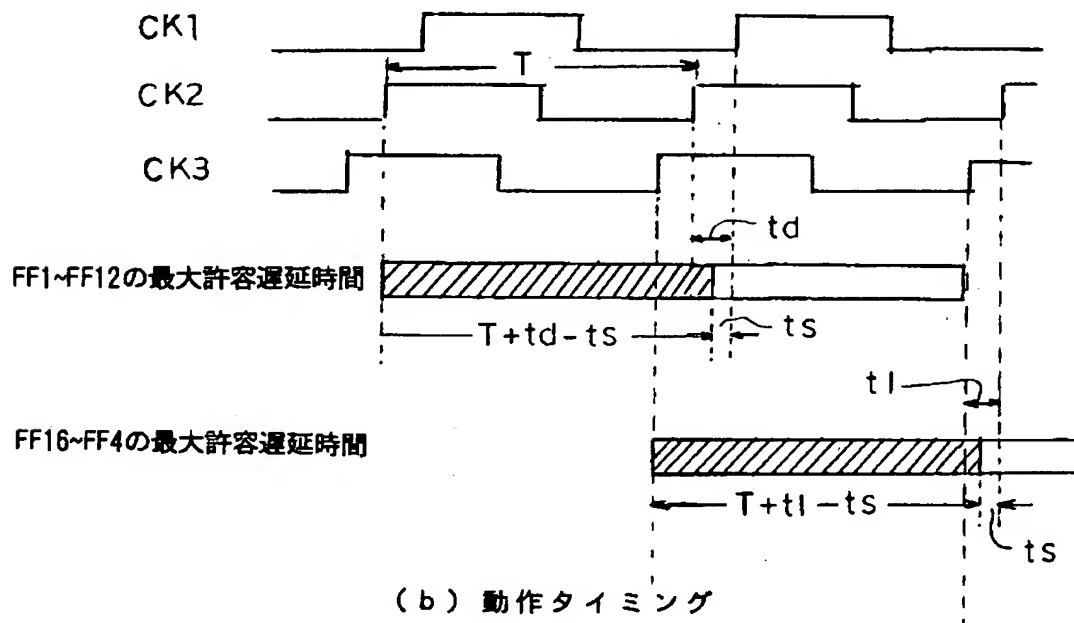
- 1, 4, 12, 14, 16 FF (フリップ・フロップ) 群
- 2, 3, 11, 13, 15, 16, 32, 34 組み合わせ回路
- 5a～5c, 36 クロック端子
- 7a, 7b, 21, 22, 37, 38 遅延素子
- 10A～10C ハードマクロ
- 18a～18c ノード
- 19a～19c クロック配線
- 31, 35 FF
- 33 RAM
- 39 セレクタ

【書類名】 図面

【図 1】



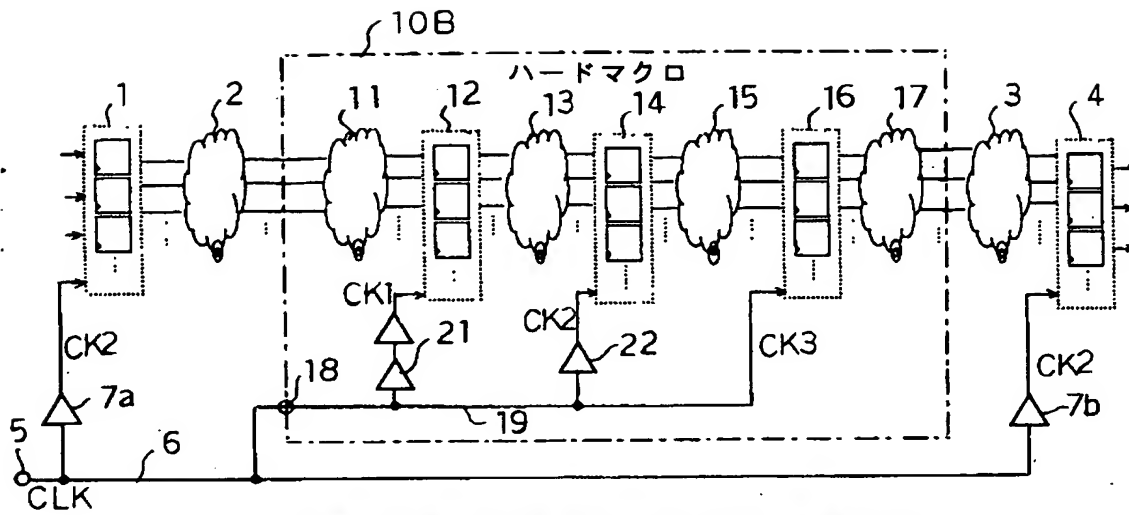
(a) 概略構成



(b) 動作タイミング

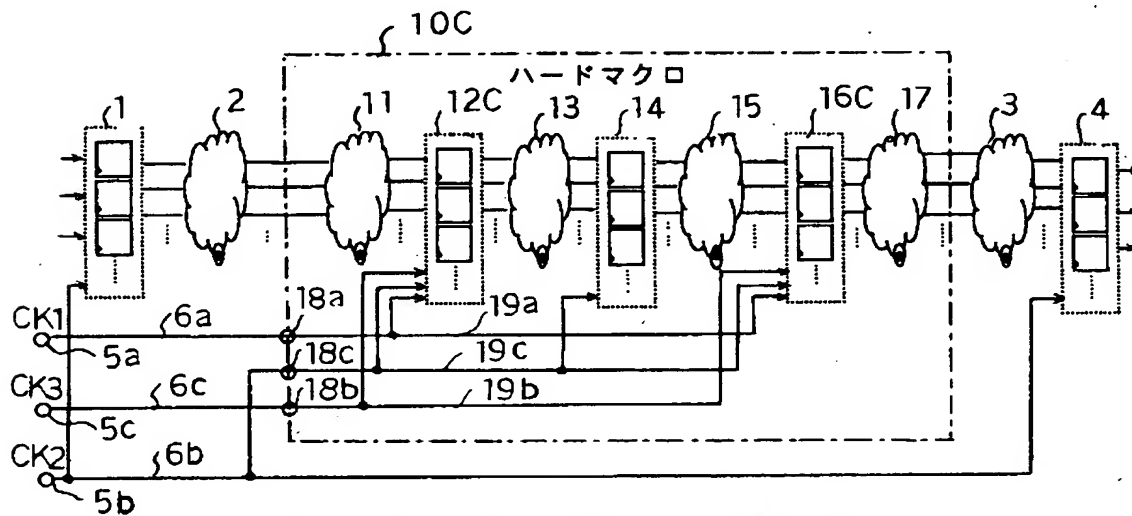
本発明の第 1 の実施形態の半導体集積回路

【図 2】



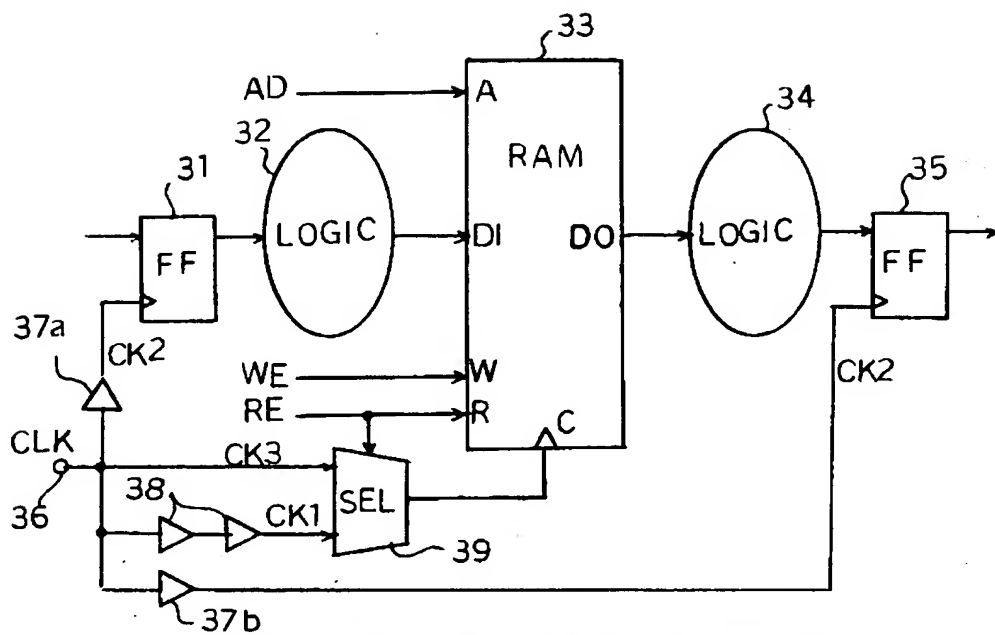
本発明の第 2 の実施形態の半導体集積回路

【図 3】



本発明の第 3 の実施形態の半導体集積回路

【図 4】



本発明の第 4 の実施形態の半導体集積回路

【書類名】 要約書

【要約】

【課題】 データパス等における遅延時間の制約を緩和し、処理時間の短縮が可能なハードマクロを有する半導体集積回路を提供する。

【解決手段】 ハードマクロ 1 0 A 内の先頭の F F 群 1 2 には、入力側の F F 群 1 に与えられるクロック信号 C K 2 よりも遅れたクロック信号 C K 1 が与えられる。また、ハードマクロ 1 0 A 内の後尾の F F 群 1 6 には、出力側の F F 群 4 に与えられるクロック信号 C K 2 よりも進んだクロック信号 C K 3 が与えられる。これにより、組み合わせ回路 2, 1 1 におけるデータパスの遅延時間は、クロック信号 C K 1 の遅延時間だけ緩和される。また、組み合わせ回路 1 7, 3 におけるデータパスの遅延時間は、クロック信号 C K 3 の進み時間だけ緩和される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社